

DERWENT-ACC-NO: 2001-196322

DERWENT-WEEK: 200120

COPYRIGHT 1999 DERWENT INFORMATION LTD

TITLE: Interposer for mounting
semiconductor chip on wiring
board, has electroconductive film
provided in coaxial
through holes formed in base board to
connect base board
with front and back side circuit
boards

PATENT-ASSIGNEE: HITACHI LTD[HITA]

PRIORITY-DATA: 1999JP-0187712 (July 1, 1999)

PATENT-FAMILY:

PUB-NO	PAGES	PUB-DATE	MAIN-IPC
JP 2001015654 A	021	January 19, 2001	N/A
		H01L 023/32	

APPLICATION-DATA:

PUB-NO	APPL-DATE	APPL-DESCRIPTOR	APPL-NO
JP2001015654A		N/A	
1999JP-0187712		July 1, 1999	

INT-CL (IPC): H01L023/32, H05K001/05 , H05K001/18 ,
H05K003/44

ABSTRACTED-PUB-NO: JP2001015654A

BASIC-ABSTRACT:

NOVELTY - Base board (1) made of refractory metal having
melting point more
than 1000 deg. C has circuit boards provided at front and
back sides. Through
hole (3) coaxially formed in base board are filled with
electroconductive film
and connected to the terminals (6,7). An insulating film

(2) is formed between
the hole and the base board.

USE - For mounting semiconductor chip on wiring board.

ADVANTAGE - Signal reflection is prevented since the
electroconductive holes
are of coaxial structure. Switching noise is reduced
without reducing the
package density.

DESCRIPTION OF DRAWING(S) - The figure shows the sectional
view of interposer.

Base board 1

Insulating film 2

Through hole 3

Terminals 6,7

CHOSEN-DRAWING: Dwg.6/21

TITLE-TERMS: INTERPOSED MOUNT SEMICONDUCTOR CHIP WIRE BOARD
ELECTROCONDUCTING
FILM COAXIAL THROUGH HOLE FORMING BASE BOARD
CONNECT BASE BOARD
FRONT BACK SIDE CIRCUIT BOARD

DERWENT-CLASS: U11 V04

EPI-CODES: U11-D01Q; V04-Q02A; V04-R07B;

SECONDARY-ACC-NO:

Non-CPI Secondary Accession Numbers: N2001-140198

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2001-15654

(P2001-15654A)

(43)公開日 平成13年1月19日(2001.1.19)

(51)Int.Cl. ⁷	識別記号	F I	テマコード [*] (参考)
H 0 1 L 23/32		H 0 1 L 23/32	D 5 E 3 1 5
H 0 5 K 1/05		H 0 5 K 1/05	A 5 E 3 3 6
1/18		1/18	U
3/44		3/44	B

審査請求 未請求 請求項の数11 O L (全 21 頁)

(21)出願番号 特願平11-187712

(22)出願日 平成11年7月1日(1999.7.1)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 松崎 永二

神奈川県横浜市戸塚区吉田町292番地 株
式会社日立製作所生産技術研究所内

(72)発明者 石原 昌作

神奈川県横浜市戸塚区吉田町292番地 株
式会社日立製作所生産技術研究所内

(74)代理人 100061893

弁理士 高橋 明夫 (外2名)

最終頁に続く

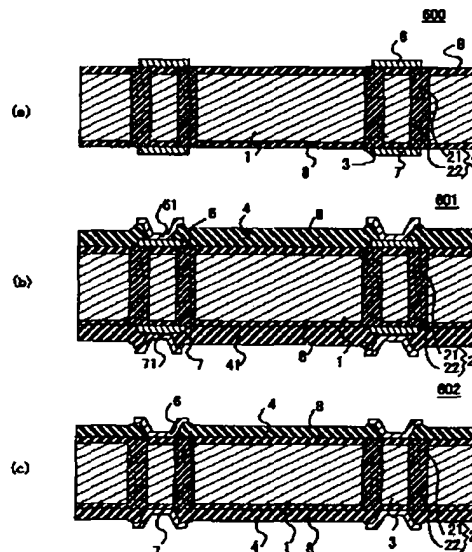
(54)【発明の名称】 インターポーザ及びその製造方法とそれを用いた回路モジュール

(57)【要約】

【課題】半導体チップをインターポーザを介して配線基板に搭載する際に、インターポーザの導電性ビアに起因する信号反射防止、クロストーク等の問題を解消すると共に、セラミック系ベース基板を用いた場合の焼結時の熱収縮や表面粗さによる問題、有機絶樹脂基板を用いた場合の耐熱性の問題をも解消して信頼性の高いインターポーザを実現する。

【解決手段】回路基板のベース基板1を導電性部材で構成し、この基板の中に基板の表裏2つの主表面を電気的に接続する導電性ビア3を設け、導電性ビア3と基板1とを第1の絶縁層2により電気的に絶縁して導電性ビア3を同軸構造とする。回路基板の2つの主表面上には実装用接続端子6、7を設ける。

図 6



1...ベース基板 2, 21, 22...第1の絶縁層 3...導電性ビア
4...第2の絶縁層 6, 7, 61, 71...接続端子 8...絶縁促進層
801, 802, 1200...回路基板(インターポーザ)

【特許請求の範囲】

【請求項1】導電性部材により構成されたベース基板と、前記ベース基板の表裏2つの主表面をつなぐスルーホールと、前記スルーホールに充填された第1の絶縁層と、前記第1の絶縁層の中に設けられ、前記ベース基板の表裏2つの主表面を電気的に接続する導電性ビアと、前記ベース基板の表裏2つの主表面上に形成された実装用接続端子とを有する回路基板で構成され、前記導電性ビアはベース基板内に第1の絶縁層を介して設けられ同軸構造を形成していることを特徴とするインターポーザ。

【請求項2】上記ベース基板の表裏2つの主表面を電気的に接続し同軸構造を形成した導電性ビアの少なくとも一部を、前記ベース基板と同一の導電性部材により構成したことを特徴とする請求項1記載のインターポーザ。

【請求項3】上記ベース基板を1000℃以上の融点を有する高融点金属材料で構成したことを特徴とする請求項1もしくは2記載のインターポーザ。

【請求項4】上記高融点金属材料をタングステン(W)、タンタル(Ta)、モリブデン(Mo)、ニッケル(Ni)、もしくは少なくともニッケル(Ni)、クロム(Cr)、コバルト(Co)、アルミニウム(Al)のいずれか一つを含む鉄(Fe)合金の金属群から選択することを特徴とする請求項1乃至3のいずれか一つに記載のインターポーザ。

【請求項5】上記ベース基板の表裏2つの主表面の少なくとも一方の面に薄膜保護層として、白金族金属材料；酸化インジウム、酸化スズ、酸化インジウム・酸化スズ混合物、酸化亜鉛、酸化ルテニウム、酸化ロジウム、酸化レニウム、酸化イリジウム及び酸化オスミウムの少なくとも一つを含む導電性酸化物；及び酸化シリコン、窒化シリコン、酸化アルミニウム及び酸化チタンの少なくとも一つを含む無機系絶縁材料の群から選ばれる少なくとも一種の材料を形成したことを特徴とする請求項1乃至4のいずれか一つに記載のインターポーザ。

【請求項6】上記ベース基板の表裏2つの主表面の少なくとも一方の面に、第2の絶縁層を、前記ベース基板と前記薄膜保護層の少なくとも一方と接するように形成したことを特徴とする請求項1乃至5のいずれか一つに記載のインターポーザ。

【請求項7】半導体チップをインターポーザを介して配線基板に搭載接続した回路モジュールにおいて、前記インターポーザを請求項1乃至6のいずれか一つに記載のインターポーザで構成したことを特徴とする回路モジュール。

【請求項8】①導電性ベース基板へ第1のスルーホールを形成する工程と、②前記第1のスルーホールを第1の絶縁層で充填する工程と、③前記第1の絶縁層に第2のスルーホールを形成する工程と、④前記第2のスルーホールへ導電性材料を充填して同軸構造の導電性ビアを形

成する工程とを少なくとも有することを特徴とするインターポーザの製造方法。

【請求項9】少なくとも①導電性ベース基板の第1の主表面に導電性ビアの芯線部を形成する領域を残し、この領域外周部に所定深さの第1の環状溝を形成し、②前記第1の環状溝に第1の絶縁層を埋め込む第1の導電性ビア形成工程と、③前記ベース基板の第2の主表面に、前記第1の主表面に第1の環状溝を形成する工程と同様に第2の環状溝を形成して前記第1の環状溝に埋め込まれた第1の絶縁層を露出させ、④前記第2の環状溝に第2の絶縁層を埋め込む第2の導電性ビア形成工程とを含み、前記ベース基板の残された領域を芯線とする同軸構造の導電性ビアを形成することを特徴とするインターポーザの製造方法。

【請求項10】①導電性ベース基板の第1の主表面に導電性ビアの形成領域となる所定深さの第1の凹部パターンを形成し、②前記第1の凹部パターン内に第1の絶縁層を埋め込み、さらに③前記第1の絶縁層内に第2の凹部パターンを形成し、次いで④前記第2の凹部パターン内に第1の導電性材料を埋め込む第1の導電性ビア形成工程と、⑤前記ベース基板の第2の主表面に、前記第1の主表面に第1の凹部パターンを形成する工程と同様に第3の凹部パターンを形成して前記第1の絶縁層と第1の導電性材料とを露出させ、⑥前記第3の凹部パターン内に第2の絶縁層を埋め込み、さらに⑦前記第2の絶縁層中に第4の凹部パターンを形成して再度第1の導電性材料を露出させ、次いで⑧前記第4の凹部パターン内に第2の導電性材料を埋め込む第2の導電性ビア形成工程とを含み、前記導電性ビアの形成領域に第1及び第2の導電性材料埋め込層を芯線とする同軸構造の導電性ビアを形成することを特徴とするインターポーザの製造方法。

【請求項11】上記ベース基板上に予め抵抗素子及びキャパシタを形成してから前記ベース基板内に導電性ビアを形成する工程を有することを特徴とする請求項8乃至10のいずれか一つに記載のインターポーザの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、回路基板に係わり、特に、マザーボードやドーターボード等の配線基板に半導体チップを実装する際の半導体チップキャリア(インターポーザと称する)として好適な回路基板及びその製造方法とそれを用いた回路モジュールに関する。

【0002】

【従来の技術】半導体チップを配線基板(マザーボード、ドーターボード)に実装する場合、インターポーザと呼ばれる中間基板にパッケージ実装して搭載する方法が多く用いられる。このインターポーザの採用によって、半導体チップの保護機能や接続端子のピッチ変換機

能が確保され、数々の経済的効果をもたらされる。

【0003】例えば、半導体チップの取り扱いが容易になることから検査し易くなり、チップ選別の上昇を抑制できる。さらに、ベアチップ実装やフリップチップ実装のインフラ整備にかかるコストを考えると、パッケージング工程で用いた従来通りのインフラを使用できる点は大きな利点となる。

【0004】ところで最近、半導体チップでは、集積回路素子(以下、ICと呼ぶ)の高密度化が進むとともに動作速度は年々上昇している。ICの動作速度が上昇すると、半導体チップ内部で発生するスイッチングノイズや信号線の接続部での信号反射により特性が劣化することが知られている。

【0005】スイッチングノイズの低減には接地端子と電源端子の間にデカップリングキャパシタを設置することが有効であり、信号反射を抑制するためには信号線上に終端抵抗を設けることが有効である。

【0006】デカップリングキャパシタや終端抵抗はICのできるだけ近い場所に設置するのが効果的であり、半導体チップに直接形成することが望ましい。しかし、この場合、半導体チップの製造工程が複雑で長くなり、デカップリングキャパシタや終端抵抗の不良によって半導体チップの歩留りが低下する。

【0007】また、デカップリングキャパシタや終端抵抗を外付け部品として配線基板上に配置させると、これらの部品と半導体チップの間の接続距離が長くなり、それらの効果が不十分となってしまう。

【0008】これらの問題に対応するため、インターポーザ(半導体チップキャリア)にデカップリングキャパシタや終端抵抗を内蔵させることが報告、あるいは、提案されている。

【0009】例えば、終端抵抗を内蔵させたインターポーザが、日立評論73(1991年)第41頁から48頁において報告され、デカップリングキャパシタを内蔵したインターポーザが特開平6-318672号公報や特開平8-148595号公報で、デカップリングキャパシタと終端抵抗を共に内蔵させたインターポーザが特開平9-213835号公報で提案されている。

【0010】

【発明が解決しようとする課題】従来は、インターポーザのベース基板として、アルミナやガラスセラミック(ホウケイ酸系ガラス、ソーダライト系ガラス、アノサイト系ガラス等から構成される)、ムライト系セラミック、等のセラミック基板が主に用いられてきた。この他のベース基板として、有機または無機ポリマ、ポリイミド-エポキシ、エポキシ-ファイバガラス、テフロン、シリコン等の材料が特開平6-318672号公報で提案されている。

【0011】上述した従来のインターポーザでは、ベース基板の表裏2つの主表面を電気的に接続する導電性ビ

アを信号線に用いた場合、インピーダンスの制御は行われていないために反射が発生し、電磁シールドがないことからクロストークが発生するなど、ICの動作速度の上昇するにつれて、半導体チップの特性劣化につながる恐れのあることについては何ら配慮されていなかった。

【0012】したがって、本発明の第1の目的は、上記従来の導電性ビアを信号線とした場合の反射及びクロストークの問題を解消する新規な構造の導電性ビアを備えたインターポーザを提供することにある。

10 【0013】一般に表裏2つの主表面を電気的に接続する導電性ビアを有するセラミック基板は、厚膜ペーストの印刷、乾燥、焼成等の工程からなるいわゆる同時焼成グリーンシート多層プロセスで作製される。そのため、焼成時にはシートが収縮する寸法の変化をとめない、また、その主表面は必ずしも平滑ではない。そのため、寸法変化のばらつきを吸収するための整合層を必要としたり、主表面上にキャパシタや抵抗を形成するためには平坦化・平滑化が必要となる。この平坦化・平滑化はボイド等の存在により難しいものとなっている。従って、セラミック系ベース基板を用いたインターポーザは製造工程が長くなるとともに、製造歩留りが低下し、製造コストが上昇することが懸念される。

【0014】これに対応するため、デカップリングキャパシタや終端抵抗を同時焼成で作製することが考えられる。しかし、インターポーザにキャパシタを内蔵させる場合には、ベース基板の材質や製造条件によって誘電体等の材料が制限され、また、誘電体層膜厚を大きくする必要あることから低インダクタンスのキャパシタを得ることは困難である。また、終端抵抗を内蔵させる場合にも、終端抵抗としての抵抗値精度を要求することは基本的に困難である。

【0015】したがって、本発明の第2の目的は、セラミック基板をベース基板とした場合に比較し、インターポーザ形成プロセスにおける製造工程の簡略化と短縮が可能な回路基板の構成とその製造プロセスを提供することにある。

【0016】有機(または無機)ポリマ、ポリイミド-エポキシ、エポキシ-ファイバガラス、テフロンをベース基板にすると、その耐熱性や機械的特性によって採用する材料やプロセスが制限を受け、必ずしも希望する特性を有する回路基板が得られるとは限らない。例えば、高い誘電率を示すペロブスカイト化合物を用いて容量密度の高いキャパシタを回路基板に内蔵させようとしても、有機系の絶縁基板では、600℃以上の熱処理工程が不可能なため、ペロブスカイト化合物の高い誘電率を実現することはできない。

【0017】また、本発明の第3の目的は、有機または無機ポリマ、ポリイミド-エポキシ、エポキシ-ファイバガラス、テフロン等有機系絶縁樹脂をベース基板とした場合に比べ、インターポーザ形成におけるプロセス制限

が少ない回路基板の構成とその製造プロセスを提供することにある。

【0018】そして、本発明の第4の目的は、上記インターポーザを介して半導体チップを回路基板に搭載した信頼性の高い回路モジュールを提供することにある。

【0019】

【課題を解決するための手段】上記目的を達成するために本発明者等は、半導体チップをインターポーザ（半導体チップキャリア）を介して回路基板に搭載し、回路モジュールを形成することを念頭において、種々実験検討した。その結果、インターポーザを構成するベース基板を導電性部材で構成すると共に、ベース基板の表裏2つの主表面を電気的に接続する導電性ビアの構造を同軸構造としたところ、信頼性の高い、しかも製造容易な回路基板からなるインターポーザが容易に実現可能であるという有効な知見を得た。

【0020】本発明はこのような知見に基づいてなされたものであり、要約すると本発明のインターポーザは、ベース基板を導電性部材で形成すると共に、このベース基板の表裏2つの主表面を電気的に接続する導電性ビアを同軸構造としたものである。

【0021】上記第1の目的を達成することのできる本発明のインターポーザの特徴点を以下に具体的に説明する。すなわち、本発明のインターポーザは、導電性部材により構成されたベース基板と、前記ベース基板の表裏2つの主表面をつなぐスルーホールと、前記スルーホールに充填された第1の絶縁層と、前記第1の絶縁層の中に設けられ、前記ベース基板の表裏2つの主表面を電気的に接続する導電性ビアと、前記ベース基板の表裏2つの主表面上に形成された実装用接続端子とを有する回路基板で構成され、前記導電性ビアはベース基板内に第1の絶縁層を介して設けられ同軸構造を形成していることを特徴とする。

【0022】かかる構成によれば、導電性ビアは第1の絶縁層を介して導電性のベース基板に囲まれているので、同軸ケーブルと同じ構造になり、導電性ビアを同軸構造とした回路基板を提供できる。従って、導電性ビアや第1の絶縁層、ベース基板の寸法を調整することによって、導電性ビアのインピーダンス制御が可能になる。

【0023】また、本構成の回路基板は、上記回路基板の一方の主表面（第1の主表面と称する）に半導体チップを搭載し、その反対側の主表面（第2の主表面）に設けられた接続端子に配線基板を接続することによって、インターポーザとして適用できることは明白である。ここで、上記接続端子をパンプにすると、表面実装が可能になり、実装密度を高くできる。

【0024】そして好ましくは、上記ベース基板の表裏2つの主表面を電気的に接続し同軸構造を形成した導電性ビアの少なくとも一部を、前記ベース基板と同一の導電性部材により構成することである。これによって導電

性ビアの周囲のベース基板を加工することによって導電性ビアを形成することができ、回路基板の製造プロセスの簡略化が可能である。

【0025】上記第2及び第3の目的を達成することのできる本発明に係るインターポーザの製造方法は、導電性部材からなるベース基板内にベース基板と電気的に絶縁された導電性ビアの形成方法に関するもので、少なくとも①導電性ベース基板へ第1のスルーホールを形成する工程と、②前記第1のスルーホールを第1の絶縁層で充填する工程と、③前記第1の絶縁層に第2のスルーホールを形成する工程と、④前記第2のスルーホールへ導電性材料を充填して同軸構造の導電性ビアを形成する工程とを有することを特徴とする。

【0026】また、上記第2及び第3の目的は、少なくとも①導電性ベース基板の第1の主表面に導電性ビアの芯線部を形成する領域を残し、この領域外周部に所定深さの第1の環状溝を形成し、②前記第1の環状溝に第1の絶縁層を埋め込む第1の導電性ビア形成工程と、③前記ベース基板の第2の主表面に、前記第1の主表面に第1の環状溝を形成する工程と同様にして第2の環状溝を形成して前記第1の環状溝に埋め込まれた第1の絶縁層を露出させ、④前記第2の環状溝に第2の絶縁層を埋め込む第2の導電性ビア形成工程とを含み、前記ベース基板の残された領域を芯線とする同軸構造の導電性ビアを形成することを特徴とするインターポーザの製造方法によっても達成される。

【0027】さらには、①導電性ベース基板の第1の主表面に導電性ビアの形成領域となる所定深さの第1の凹部パターンを形成し、②前記第1の凹部パターン内に第1の絶縁層を埋め込み、さらに③前記第1の絶縁層内に第2の凹部パターンを形成し、次いで④前記第2の凹部パターン内に第1の導電性材料を埋め込む第1の導電性ビア形成工程と、⑤前記ベース基板の第2の主表面に、前記第1の主表面に第1の凹部パターンを形成する工程と同様にして第3の凹部パターンを形成して前記第1の絶縁層と第1の導電性材料とを露出させ、⑥前記第3の凹部パターン内に第2の絶縁層を埋め込み、さらに⑦前記第2の絶縁層中に第4の凹部パターンを形成して再度第1の導電性材料を露出させ、次いで⑧前記第4の凹部パターン内に第2の導電性材料を埋め込む第2の導電性ビア形成工程とを含み、前記導電性ビアの形成領域に第1及び第2の導電性材料埋め込層を芯線とする同軸構造の導電性ビアを形成することを特徴とするインターポーザの製造方法によっても達成される。

【0028】この場合、第1の主表面側に導電性ビアの一部として第1の導電性ビアを形成する場合には、ベース基板の第2の主表面側の部分が回路基板の支持部となり、第2の主表面側に導電性ビアの一部として第2の導電性ビアを形成する場合には、ベース基板の第1の主表面側の部分が回路基板の支持部となる。

【0029】

【発明の実施の形態】本発明のインターポーザを構成する上記ベース基板の材料としては、融点が1000℃以上の高融点金属材料が望ましい。したがって、ベース基板自体としては、1000℃までの温度が許容されることを示しており、1000℃以下の温度においては、ベース基板の耐熱性はプロセス制限の要因とはならない。

【0030】それ故、ベース基板上にキャパシタを形成するに際しては、例えば600℃～900℃の熱処理が必要とされるペロブスカイト化合物からなる誘電体層の成膜も可能になる。

【0031】また、ベース基板に高融点金属材料を用いることにより、セラミック系基板における焼結時の熱収縮やボイド等による表面平滑化・平坦化の困難さ等の問題、また、有機系絶縁基板における耐熱等の問題をも回避できる。

【0032】このような高融点金属材料としては、例えばタングステン(W)、タンタル(Ta)、モリブデン(Mo)、ニッケル(Ni)、もしくは少なくともニッケル(Ni)、クロム(Cr)、コバルト(Co)、アルミニウム(Al)のいずれか一つを含む鉄(Fe)合金の金属群から適宜選択することができ、これらの材料はいずれも融点が900℃以上を有している。

【0033】また、本発明のインターポーザにおいては、ベース基板上に薄膜保護層を形成することが望ましい。薄膜層を設ける目的はベース基板をプロセス雰囲気から保護するためであり、ペロブスカイト系化合物を誘電体層としたキャパシタの形成も考慮すると、酸性雰囲気での約1000℃までの耐熱性を有する材料が好ましい。

【0034】この薄膜保護層の材料としては、例えば酸化インジウム、酸化スズ、酸化インジウム・酸化スズ混合物、酸化亜鉛、酸化ルテニウム、酸化ロジウム、酸化レニウム、酸化イリジウム、酸化オスミウム等の導電性酸化物、PtやRd等の白金族材料、酸化シリコン、窒化シリコン、酸化アルミニウム、酸化チタン、等を含む無機系絶縁材料、の中から選択すればよい。必要に応じて、2種類以上の材料からなる多層膜としても差し支えない。

【0035】また、これらの薄膜保護層とベース基板の密着性を改善するため、薄膜保護層とベース基板との間に、例えばチタン(Ti)、タンタル(Ta)、ハフニウム(Hf)、タングステン(W)、クロム(Cr)、およびそれらの窒化物、ニッケル(Ni)、チタン・タングステン(TiW)の中から選択した材料からなる薄膜層を挿入しても良い。

【0036】また、本発明のインターポーザにおいては、ベース基板の2つの主表面の少なくとも一方の面に第2の絶縁層を、上記ベース基板と上記薄膜保護層の少なくとも一方と接する様に形成することができる。この

構成により、導電性部材からなるベース基板上にも、抵抗素子やキャパシタ等の電気回路素子を形成できるようになる。

【0037】上記本発明のインターポーザの製造方法において、抵抗素子、キャパシタ等の電気回路素子を内蔵させる場合には、ベース基板上に予め抵抗素子及びキャパシタを形成してから先に説明したインターポーザの製造方法にしたがってベース基板内に同軸構造の導電性ビアを形成すればよい。

【0038】この方法によれば、回路素子形成において、導電性ビア部に耐熱性のない材料を用いた場合でも、1000℃までの温度プロセスが許容されることになる。例えば、600℃～1000℃の熱処理が必要とされるペロブスカイト化合物からなる誘電体層の成膜も可能になり、ベース基板上にこれらの材料を用いたキャパシタの形成でき、ベース基板として1000℃以上の融点を有する高融点金属材料を用いた効果を活かすことができる。

【0039】

【実施例】以下、図面を参照しながら本発明の実施例を詳細に説明する。

【0040】なお、図1～図6は、本発明を適用したインターポーザ(回路基板)を要部断面図で示したものである。図7～図9は、図1～図6に示した回路基板をベースに薄膜多層回路やキャパシタ・抵抗素子等を内蔵させて付加価値を高めた回路基板を要部断面図で示したものである。

【0041】図10～図11は、本発明を適用して作製した半導体装置(回路モジュール)を要部断面図で示したものである。

【0042】また、図12は、本発明を適用した図1～図9の回路基板を多層に組み合わせて形成した回路基板の一例を示す要部断面図である。そして、図13～図21は各実施例の製造工程図を示したものである。

【0043】〈実施例1〉図1は、本発明の第1の実施例となる3種の回路基板の要部断面図で示したものである。図1(a)、図1(b)、図1(c)に示す各回路基板100、101、102は、それぞれ同一構造の導電性ビア3を有しているが、ベース基板上の絶縁層、保護膜の有無及び導電性ビア3に接続している端子の構造等にそれぞれ多少の違いがある。

【0044】これらの図において、符号は各図とも共通であり、1は導電性部材からなるベース基板を、2は第1の絶縁層を、3はベース基板1の表裏2つの主表面(表面である第1の主表面と裏面である第2の主表面)を電氣的に接続する導電性ビアを、4は第2の絶縁層を、5は第2の絶縁層4上に形成される導電性薄膜層を、6と7は接続端子を、8はベース基板1と第2の絶縁層4の間に設けられた薄膜保護層を、41は第2の絶縁層の上層に形成された第3の絶縁層を、10は回路基板(またはベース基板1)の第1の

主表面(表面)側を、20は回路基板(またはベース基板1)の第2の主表面(裏面)側をそれぞれ示している。

【0045】第1の絶縁層2はベース基板1と導電性ビア3とを電氣的に絶縁するためにベース基板1と導電性ビア3との間に設けられるものであり、これによって導電性ビア3は同軸構造を形成している。第2の絶縁層4はベース基板1の主表面上に接触して形成される絶縁層である。また、第3の絶縁層41は用途に応じて第2の絶縁層4より上層に形成される絶縁層である。

【0046】図1(a)、図1(c)に示すように接続端子6、7は、回路基板100と回路基板102では、導電性ビア3と第2の導電性薄膜層5の上に直接接触するように形成されているが、図1(b)の回路基板101では、第3の絶縁層41に設けたスルーホールを介して導電性ビア3との電氣的接触をとるように形成されている。これが回路基板100及び回路基板102と回路基板101で異なっている点である。

【0047】図1(c)に示すように回路基板102では、ベース基板1と第2の絶縁層4との間に薄膜保護層8を挟んでいる。この薄膜保護層8の有無が回路基板100と回路基板102の異なる点である。

【0048】この実施例で適用する導電性部材としては、この回路基板に厚膜ペーストによる回路パターンやキャパシタ等を形成する場合のことも考えると、1000℃以上の融点を有する材料であることが望ましい。このような材料として、タングステン、ニッケル、モリブデン、タンタル、等を挙げることができる。また、ニッケルやクロム、コバルト、アルミニウム、等を含む鉄合金も有望である。その理由は、リードフレームに用いられているように加工が容易で、熱膨張係数や透磁率を組成によって調整できるからである。

【0049】かかる構成によれば、導電性のビア3は第1の絶縁層2を介して導電性部材からなるベース基板1によって囲まれることになり、同軸ケーブルと同じ構造にすることができる。この場合には、ベース基板1は接地電位に保たれることになる。すなわち、図1(a)~(c)に示した各回路基板100~102によって、ベース基板1の表裏2つの主表面を電氣的に接続する導電性ビア3を同軸構造としたインターポーズが実現できる。

【0050】第1の絶縁層2と第2の絶縁層4に用いる絶縁性部材はこれらの絶縁層を形成した後の工程とのプロセス整合性を考慮して選択すればよい。例えば、後工程での温度プロセスが400℃以下であれば、有機系絶縁樹脂の適用も可能になる。第1の絶縁層2として有機系絶縁樹脂を用いると、接続端子6、7に配線基板(図示せず)や半導体チップ(図示せず)を接続した場合の応力緩和層としての役割を果たすことができる。

【0051】後工程での温度プロセスが400℃以上であれば、シリコン酸化物、シリコン窒化物、酸化アルミニウムや各種セラミック材料を用いればよい。この場合、

ベース基板1の耐熱温度を考えると1000℃までのプロセスが後工程で許容されることになり、有機系絶縁樹脂材料からなるベース基板を用いた場合に比べ、回路基板形成におけるプロセス制限を少なくできる。

【0052】導電性ビア3の材料もこれを形成した後の工程とのプロセス整合性と形成しやすさを考えて選択すればよいが、抵抗率ができるだけ低い材料を用いることが望ましい。

【0053】図1(b)に示した回路基板101では、第3の絶縁層41を設け、ベース基板1や導電性ビア3を外界より保護している。また、この第3の絶縁層41により、他の回路基板(図示せず)や半導体チップ(図示せず)との接続で接続端子6、7部で受ける応力を緩和でき、回路基板101からの電磁放射ノイズの発生を抑制できる。この場合には、第3の絶縁層41として有機系絶縁樹脂を用いることが望ましい。

【0054】図1(c)に示した回路基板102は、図1(a)の回路基板100においてベース基板1の主表面と第2の絶縁層4の間に薄膜保護層8を挿入した構造となっている。この薄膜保護層8はベース基板1を保護したり、ベース基板1と第2の絶縁層4の密着性を改善するために設けるものである。従って、薄膜保護層8は耐環境性および耐熱性に優れた無機系絶縁材料や貴金属、耐酸化性にすぐれた導電性酸化物が好ましい。

【0055】このような無機系絶縁材料として酸化シリコン、窒化シリコン、酸化アルミニウム、酸化チタン等があり、貴金属としてPtやRu等の白金金属材料があり、導電性酸化物として酸化インジウム、酸化スズ、酸化インジウム・酸化スズ混合物(ITO)、酸化亜鉛、酸化レニウム、酸化ロジウム、酸化レニウム、酸化イリジウム、酸化オスミウム等がある。

【0056】また、薄膜保護層8とベース基板1あるいは第2の絶縁層4との密着性を改善するために、ベース基板1あるいは第2の絶縁層4との間に新たに薄膜層を挿入しても良い。挿入する薄膜層の材料としては、チタン、タンタル、ハフニウム、タングステン、クロム、等の高融点金属およびこれらの窒化物、チタン・タングステン合金等が好ましい。

【0057】なお、図1(a)、図1(c)に示す回路基板100と回路基板102では、接続端子6、7が導電性薄膜層パターン5の外側まで延びていないが、導電性薄膜層パターン5の外側まで延びても良いし、導電性薄膜層5上あるいは導電性ビア3上に形成しても差し支えない。

【0058】また、図1(b)に示した回路基板101では、接続端子6、7が導電性ビア3とのみ接触するように形成されているが、導電性ビア3と導電性薄膜層5の少なくともいずれか一方と接触していれば差し支えない。

【0059】接続端子6、7は、端子メタライズの段階で止まっているが、この上に半田バンプを設けておくことは、回路基板100、101、102と別の配線基板(図示せず)

や半導体チップ(図示せず)と半田接合する上で有効である。

【0060】また、この実施例では、第2の絶縁層4と導電性薄膜層5とを設けているが、実用上問題がなければ省略しても差し支えない。次に、図1(a)～図1(c)に示した各回路基板100、101、102の製造方法について説明する。

【0061】図13(a)～図13(h)は、図1(a)に示した回路基板100の製造工程の一例を要部断面図で示した工程フロー図である。この図を参照にして、回路基板100の製造工程を順次説明する。

【0062】図13(a)工程:ベース基板の準備
導電性部材を適正な大きさに切だし、必要に応じて表面研磨を行って平滑にし、ベース基板1とする。次いで、ベース基板1の脱脂処理、中性洗剤やアルカリ洗剤による洗浄を行い、表面を清浄にする。

【0063】図13(b)工程:ベース基板へ第1のスルーホール形成

フォトリソ法(ウェットエッチングやドライエッチングを含む)やレーザ加工法等の周知の手法を用いて、ベース基板1の中に第1のスルーホール91を形成する。

【0064】図13(c)工程:第1の絶縁層の充填および第2の絶縁層の形成

ディップ法により有機系絶縁樹脂を第1のスルーホール91に充填するとともにベース基板1の表面に塗布し、硬化することにより第1の絶縁層2と第2の絶縁層4を形成する。必要に応じて、研磨やバックエッチングを行い、表面の平坦化を行う。ここでは、ディップ法を用いているが、印刷法やスプレー塗布、転写法等別の手法を用いても差し支えない。また、ここでは、第1の絶縁層2と第2の絶縁層4を同一工程で形成しているが、工程を分離して別々の工程で形成しても良い。

【0065】例えば、第1の絶縁層2の充填、ベース基板1と第1の絶縁層2の間の平坦化・平滑化、第2の絶縁層4の形成、の各工程からなるプロセスが考えられる。この場合、第2の絶縁層4の形成手段の選択幅が大きく広がる。例えば、スピン塗布法やゾルゲル法、スパッタ法等の物理的手法、化学蒸着法なども容易に適用できる。

【0066】図13(d)工程:導電性薄膜層の形成

スパッタ法等の物理的手法、化学蒸着法、ゾルゲル法、めっき法等の周知の手法を用いて導電性薄膜層5を成膜する。導電性薄膜層5の材料としては、導電性ビア3の形成工程等の後工程との整合性を考えて選択する必要がある。例えば、導電性ビア3を銅のめっき膜で形成する場合には、導電性薄膜層5の材料としてCu/Cr積層膜(銅CuがクロムCr上に積層されている)とすることが有効である。なぜなら、従来より行われているプリント基板の製造工程により、導電性ビア3を形成できるからである。

【0067】図13(e)工程:第1の絶縁層への第2のスル

ーホール形成

フォトリソ法(ウェットエッチングやドライエッチングを含む)やレーザ加工法等の周知の方法を用いて、第1の絶縁層2と導電性薄膜層5の中に第2のスルーホール92を形成する。

【0068】図13(f)工程:導電性ビアの形成

第1の絶縁層2に設けられた第2のスルーホール92に導電性部材を充填して導電性ビア3を形成する。必要に応じて、研磨等により回路基板100表面の平坦性や平滑性を確保する。第2のスルーホール92を充填して導電性ビア3を形成するために選択された導電性部材は、金属、金属の合金、金属と非金属の合成物等である。また、形成方法としては、めっき法、スパッタ法等の物理的手法、化学蒸着法、印刷法等の周知の手法を用いる。

【0069】図13(g)工程:接続端子部分離

接続端子領域となる以外の不要な部分の導電性薄膜層5をフォトリソ法等の周知の手法により除去する。この際、導電性薄膜層5上に導電性ビア3を構成する材料が不必要な領域に存在した場合にはこれも除去する。

【0070】図13(h)工程:接続端子形成

選択した接続手法に適合した材料をスパッタ法や真空蒸着法、めっき法等の周知の成膜手法により成膜し、フォトリソ法等の周知の手法によりパターニングを行い、接続端子6、7を形成する。接続端子メタライズに用いる材料は接続手法によって選択することになるが、はんだ接続を前提にする場合には、Au/Ni/Cr積層膜やNi-Cu/Cr積層膜等を用いることになる。ここで、A/BはBの上にAが積層されることを示している。

【0071】以上で、図1(a)に示した回路基板100が完成する。以上述べてきたことから明確のように、本実施例によれば、セラミック系基板をベース基板1とした場合に見られた、回路基板100の寸法変化やボイド等による表面凹凸の問題を回避できる。

【0072】また、第1の絶縁層2に有機系絶縁樹脂を用いることにより、他の配線基板や半導体チップとの接続において、応力緩和を図れる等の効果も得られる。なお、本実施例では第1の絶縁層2と第2の絶縁層4として有機系絶縁樹脂を用いているが、シリコン酸化物、シリコン窒化物、酸化アルミニウムや各種セラミック材料等の無機系絶縁材料を用いても差し支えない。

【0073】図1(b)に示した回路基板101の製造方法は図13(a)～図13(g)までの工程を適用している点において、図1(a)に示した回路基板100の場合とほとんど同じである。回路基板101の場合、図13(g)以降の工程が回路基板100の場合とは異なっている。図13(g)以降の製造工程について、図14を参照にしながら説明する。

【0074】図14(h)工程:第3の絶縁層形成

スピン塗布法などの手法により有機系絶縁樹脂を塗布し、乾燥、硬化を行って第3の絶縁層41を成膜する。次いで、フォトリソ法等の周知の手法によりスルー

13

ホール93を形成する。この場合、有機系絶縁樹脂として感光性材料を用いて、塗布、乾燥、露光、現像、硬化の各工程により、スルーホール93を有する第3の絶縁層41を形成すると、製造工程を短縮できる。

【0075】図14(i)工程:接続端子形成

選択した接続手法に適合した材料をスパッタ法や真空蒸着法、めっき法等の周知の成膜手法により成膜し、フォトリソエッチング法等の周知の手法によりパターニングを行い、接続端子6、7を形成する。接続端子メタライズに用いる材料は接続手法によって選択することになるが、はんだ接続を前提にする場合には、Au/Ni/Cr積層膜やNi-Cu/Cr積層膜等を用いることが好ましい。ここで、A/BはBの上にAが積層されることを示す。

【0076】これで、図1(b)に示した回路基板101が完成する。この実施例の場合にも、回路基板100の製造方法で得られた効果が得られることは明らかである。第3の絶縁層41を設けることによって得られる効果は既に述べた通りである。

【0077】次に図1(c)に示した回路基板102は、ベース基板1を洗浄して清浄にした後に薄膜保護層8を形成し、図13に示した工程の図13(b)以降の工程を行えば完成する。なお、本実施例では第3の絶縁層41として有機系絶縁樹脂を用いているが、シリコン酸化物、シリコン窒化物、酸化アルミニウムや各種セラミック材料等の無機系絶縁材料を用いても差し支えない。

【0078】〈実施例2〉図2は、本発明の第2の実施例となる回路基板の要部断面図を示したものである。図2(a)に示したように回路基板200では、接続端子6、7が、ベース基板1上に形成した第2の絶縁層4上の導電性薄膜層5の上に直接接合するように形成されており、図2(b)に示した回路基板201では、導電性薄膜層5の上に設けられた第3の絶縁層41の中のスルーホールを通して導電性薄膜層5との電気的接触をとるように形成されている。これが図2(a)に示した回路基板200と図2(b)に示した回路基板201との異なっている点である。

【0079】第2の実施例が第1の実施例と異なっている点は、接続端子6、7の設置場所である。第1の実施例の場合、接続端子6、7は導電性ビア3の上に直接形成されている。それに対し、第2の実施例では、ベース基板1の表面において導電性薄膜層5上に接続端子6、7が配置されている。従って、第2の実施例の場合には、導電性ビア3と接続端子6、7の接続は導電性薄膜層5を介して行うことになる。これ以外の構造や製造方法、本発明を適用したところは、第1の実施例と同じである。従って、第2の実施例においても、本発明の適用により、第1の実施例の場合と同じ効果を得ることができる。

【0080】また、第1の実施例と第2の実施例とを組み合わせた構造とするのも有効である。その例を図16に示す。この図で、160は第1の実施例と第2の実施例とを組み合わせた構造を有する回路基板を示す。その他の符号

14

は、図1や図2と同じである。この実施例では、接続端子6を導電性ビア3上に、接続端子7をベース基板1上に配置している。

【0081】接続端子6に半導体チップ(図示せず)を、接続端子7に配線基板(マザーボード、図示せず)を接続する場合、ベース基板1を構成する部材を配線基板の熱膨張係数に合わせて選択し、第1の絶縁層2を有機性樹脂で構成すると、回路基板160と配線基板の間に発生する応力は極めて小さく、回路基板160と半導体チップの間に発生する応力は第1の絶縁層2全体によって緩和される。すなわち、各基板間の接続信頼性に優れた実装系を提供できる。

【0082】〈実施例3〉図3は、本発明の第3の実施例となる回路基板の要部断面図を示したものである。図3(a)に示したように回路基板300は第1の実施例で示した回路基板100の表面に第3の絶縁層41を設けた構造をしており、図3(b)の回路基板301は第2の実施例で示した回路基板200の表面に第3の絶縁層41を設けた構造をしている。その他の構造と本発明を適用したところは、各々同じである。従って、第3の実施例においても、本発明の適用により、第1の実施例の場合と同じ効果を得ることができる。

【0083】この実施例の特徴はその製造方法にあり、図15の工程図を参照にしながら回路基板300の製造方法について説明する。まず、実施例1の図13に示した図13(a)から図13(f)までの工程を行い、次に、図15に示した図15(g)から図15(i)までの工程を行う。なお、図15の図15(f)工程は図13の図13(f)工程と同一である。

【0084】図15(g)工程:接続端子層の成膜

選択した接続手法に適合した材料をスパッタ法や真空蒸着法、めっき法等の周知の成膜手法により接続端子層60、70を成膜する。成膜する接続端子層60、70の材料選択は接続手法によって選択することになるが、はんだ接続を前提とする場合には、Au/Ni/Cr積層膜やNi-Cu/Cr積層膜等を用いることになる。ここで、A/BはBの上にAが積層されることを示している。

【0085】図15(h)工程:接続端子パターンの形成

フォトリソエッチング法等の周知の手法により、接続端子層60、70と導電性薄膜層5の不要な部分を除去し、接続端子6、7を形成する。

【0086】図15(i)工程:第3の絶縁層形成

スピン塗布法などの手法により有機系絶縁樹脂を塗布し、乾燥、硬化を行って第3の絶縁層41を成膜する。次いで、フォトリソエッチング法等の周知の手法によりスルーホール93を形成する。この場合、有機系絶縁樹脂として感光性材料を用いて、塗布、乾燥、露光、現像、硬化の各工程により、スルーホール93を有する第3の絶縁層41を形成すると、製造工程を短縮できる。

【0087】これで、回路基板300が完成する。この実施例では、導電性薄膜層5の加工や第3の絶縁層41を形成

する前に接続端子層60、70を成膜している。この点が、第1の実施例や第2の実施例とは異なっている。

【0088】本実施例における製造工程によれば、導電性薄膜層5や導電性ビア3の表面のダメージや汚染の少ない状態で接続端子層60、70を成膜できるので、接続端子の形成プロセスが安定になり、接続端子層60、70と導電性薄膜層5、導電性ビア3の間の密着性を改善することができる。

【0089】なお、本実施例では、他の基板との接続後の応力緩和を期待して第3の絶縁層41として有機系絶縁樹脂を用いているが、シリコン酸化物、シリコン窒化物、酸化アルミニウムや各種セラミック材料等の無機系絶縁材料を用いても差し支えない。

【0090】〈実施例4〉図4は、本発明の第4の実施例となる回路基板の要部断面図を示したものである。図4(a)に示した回路基板400と実施例2の図2(a)に示した回路基板200の違い、および、図4(b)に示した回路基板401と実施例2の図2(b)に示した回路基板201の違いは、導電性ビア3の構造にある。すなわち、本実施例における回路基板400、401では、第1の絶縁層2に設けられたスルーホール92の側壁にのみ導電性部材が形成され、スルーホール92の芯の部分まで充填されていない点である。このような導電性ビア3は、従来のプリント基板の製造方法を用いれば容易に製造できる。この導電性ビア3以外の構造や本発明を適用したところ、製造方法は、実施例2の場合と同じである。従って、本発明の適用によって実施例2で得られた効果を本実施例においても得ることができる。

【0091】本実施例における導電性ビアの表面積は、実施例2に比べて大きい。そのため、取り扱う信号の周波数が高くなって表皮効果の影響が問題になる場合には本実施例が伝送特性劣化の防止に役立つ。

【0092】〈実施例5〉図5は、本発明の第5の実施例となる回路基板の要部断面図を示したものである。図5(a)及び図5(b)の500と501はそれぞれ本実施例の回路基板を示しており、21と22は第1の絶縁層を、31と32は導電性ビアを示す。実施例1に示した回路基板100、101における導電性ビア3と第1の絶縁層2は、本実施例の回路基板500、501では導電性ビア31、32と第1の絶縁層21、22にそれぞれ分割されている。

【0093】また、ベース基板1上に第2の絶縁層4が、実施例1では設けられているが、本実施例では設けられていない。この点が本実施例が実施例1と異なっている点である。

【0094】第2の絶縁層4の存在は本発明には必須条件ではなく必要に応じて設ければ良い。また、導電性ビア3(31、32)および第1の絶縁層2(21、22)が一体化されているが分離されているがどちらでも差し支えない。従って、実施例1と本実施例とは構造的には基本的に同じである。すなわち、実施例1で示した回路基板100が本

実施例の回路基板500に、実施例1で示した回路基板101が本実施例の回路基板501にそれぞれ対応している。

【0095】以上述べてきたことから明白のように、本発明の適用によって実施例1で得られた効果をこの実施例においても得ることができる。本実施例と実施例1の見かけ上の相違点は製造方法の違いによって生じている。以下、図17と図18の工程図を参照にしながら、回路基板500の製造工程について説明する。

【0096】図17(a)工程:ベース基板の準備

導電性部材を適正な大きさに切だし、必要に応じて表面研磨を行って平滑にし、ベース基板1とする。次いで、ベース基板1の脱脂処理、中性洗剤やアルカリ洗剤による洗浄を行い、表面を清浄にする。

【0097】図17(b)工程:薄膜保護層の成膜

スパッタ法等の物理的手法、化学蒸着法、ゾルゲル法、めっき法、等の周知の手法を用いて薄膜保護層8をベース基板1の2つの主表面(表面10と裏面20)上に成膜する。薄膜保護層8としては、耐環境性に優れたセラミック材料や貴金属、耐酸化性にすぐれた導電性酸化物の中から選択する。なお、プロセス条件や回路基板500の信頼性等を考慮して、必要がなければ省略しても差し支えない。

【0098】図17(c)工程:ベース基板への第1のスルーホール形成

フォトリソ法やレーザ加工法等の周知の方法を用いて、ベース基板1の一方の主表面(例えば、表面10)に第1のスルーホール91を形成する。この場合、スルーホール91を貫通スルーホールとはせずにベース基板1の途中で止める。

【0099】図17(d)工程:第1の絶縁層の充填

ディップ法により有機系絶縁樹脂を表面に設けられた第1のスルーホール91に充填し、硬化することにより第1の絶縁層21を形成する。必要に応じて、研磨やバックエッチングを行い、表面の平坦化を行う。ここでは、ディップ法を用いているが、印刷法やスプレー塗布、転写法等別の手法を用いても差し支えない。

【0100】図17(e)工程:導電性薄膜層の形成

スパッタ法等の物理的手法、化学蒸着法、ゾルゲル法、めっき法等の周知の手法を用いて導電性薄膜層5をスルーホール91が設けられた第1の主表面10に成膜する。導電性薄膜層5の材料としては、導電性ビアの形成工程等、後工程との整合性を考えて選択する必要がある。例えば、導電性ビアを銅のめっき膜で形成する場合には、導電性薄膜層5としてクロムと銅の積層膜(銅がクロム上に積層されている)とすることが有効である。なぜなら、従来より行われているプリント基板の製造工程により、導電性ビアを形成できるからである。

【0101】図17(f)工程:第1の絶縁層への第2のスルーホール形成

フォトリソ法やレーザ加工法等周知の方法を用いて第1の絶縁層21の中に第2のスルーホール92を形成す

る。次いで図18の工程図にしたがい説明する。

【0102】図18(g)工程:導電性ビアの形成

第1の絶縁層21に設けられた第2のスルーホール92に導電性部材を充填して導電性ビア31を形成する。必要に応じて、研磨等により回路基板500の表面の平坦性や平滑性を確保する。スルーホール92を充填して導電性ビア31を形成するための導電性部材は金属、金属の合金、金属と非金属の合成物、等から選択すればよい。形成手法としては、めっき法、スパッタ法等の物理的手法、化学蒸着法、印刷法等の周知の手法を用いる。

【0103】図18(h)工程:裏面側加工

導電性ビア31を形成した第1の主表面10を保護しながら、図17(c)から図18(g)に示した工程を繰り返すことにより導電性ビア32をベース基板1の第2の主表面(裏面)20側に形成する。

【0104】図18(i)工程:接続端子層の成膜

選択した接続手法に適合した材料をスパッタ法や真空蒸着法、めっき法等の周知の成膜手法により、接続端子層60、70を成膜する。接続端子層に用いる材料は接続手法によって選択することになるが、はんだ接続を前提にする場合には、Au/Ni/Cr積層膜やNi-Cu/Cr積層膜等を用いることが好ましい。ここで、A/BはBの上にAが積層されることを示している。

【0105】図18(j)工程:接続端子の形成

接続端子領域となる以外の不要な部分の接続端子層60、70、導電性薄膜層5をフォトエッチング等の周知の手法により除去する。この実施例では、薄膜保護層8を除去せずに残しているが、問題がなければ除去しても差し支えない。

【0106】以上の工程で回路基板500が完成する。ここで述べた製造方法では、第1の主表面10側の加工工程においては、第2の主表面20側の部分が支持部となり、第2の主表面20側の加工工程においては、既に加工し終えた第1の主表面10側の部分が支持部となって製造プロセスを支えている。

【0107】また、第1の絶縁層21、22の充填深さも図13から図15に示した製造方法の場合に比べて浅くなる。そのため、図13から図15に示した製造方法の場合に比べ、この実施例における製造プロセスの方が容易で安定なプロセスとなる。

【0108】以上述べてきたことから明確なように、本実施例によれば、セラミック系基板をベース基板1とした場合に見られた、回路基板500の寸法変化やボイド等による表面凹凸の問題を回避できる。また、第1の絶縁層21、22に有機系絶縁樹脂を用いることにより、他の配線基板(図示せず)や半導体チップ(図示せず)との接続において、応力緩和を図れる等の効果も得られる。

【0109】なお、本実施例では第1の絶縁層21、22として有機系絶縁樹脂を用いているが、シリコン酸化物、シリコン窒化物、酸化アルミニウムや各種セラミック材

料等の無機系絶縁材料を用いても差し支えない。

【0110】回路基板501は、図17(a)から図18(h)までの工程を行った後、第3の絶縁層41を形成してから、接続端子6、7を形成することによって得られる。この製造工程は、図14に示した図14(h)から図14(i)の工程と同じである。

【0111】回路基板501の場合にも、回路基板500の製造方法で得られた効果が得られることは明らかである。回路基板501では、第3の絶縁層41を設けることによって、ベース基板1や導電性ビア3を外界より保護し、他の回路基板(図示せず)や半導体チップ(図示せず)との接続で接続端子6、7部で受ける応力を緩和し、回路基板501からの電磁放射ノイズの発生を抑制している。

【0112】なお、本実施例では第3の絶縁層41として有機系絶縁樹脂を用いているが、シリコン酸化物、シリコン窒化物、酸化アルミニウムや各種セラミック材料等の無機系絶縁材料を用いても差し支えない。

【0113】〈実施例6〉図6は、本発明の第6の実施例となる回路基板の要部断面図を示したものである。図6(a)、図6(b)、図6(c)において、600、601、602はそれぞれ本実施例の回路基板を、61と71は接続端子を示す。

【0114】図6(a)に示した回路基板600は、薄膜保護層8をむき出しにした状態で接続端子6、7を設けた場合であり、最も簡単な構造となっている。

【0115】また、図6(b)に示した回路基板601は、図6(a)の回路基板600上に第2の絶縁層4を形成し、この第2の絶縁層4に設けたスルーホールを介して接続端子6、7と電気的接触をとるように接続端子61と接続端子71を設けたものである。

【0116】さらにまた、図6(c)に示した回路基板602は、図6(a)の回路基板600において、接続端子6、7を形成する前に第2の絶縁層4を形成し、この第2の絶縁層4に設けたスルーホールを介して接続端子6、7を設けたものである。

【0117】この実施例では、導電性ビア3の少なくとも一部をベース基板1と同じ材料で構成し、導電性ビア3とベース基板1の電気的な絶縁を2層からなる第1の絶縁層21、22により行っている。この点が、実施例1で示した回路基板100、101とは異なっている。

【0118】すなわち、本実施例の場合には図5に示した実施例5において、2層からなる導電性ビア31、32が一体化され、導電性ビア3がベース基板1と同じ部材で構成されたと考えればよい。基本的構造は、回路基板600、601と回路基板500が同じであり、回路基板602と回路基板501が同じである。従って、本発明の適用によって実施例5で得られた効果を、この実施例においても得ることができる。

【0119】接続端子6、7は導電性ビア3上に形成されているが、ベース基板1上に設け、図2や図16に示した実施例のようにしても良い。

【0120】図6(b)、図6(c)に示した回路基板601と回路基板602では、薄膜保護層8上に第2の絶縁層4を設け、ベース基板1や導電性ビア3を外界より保護している。また、この第2の絶縁層4により、他の回路基板(図示せず)や半導体チップ(図示せず)との接続で接続端子6、7部で受ける応力を緩和でき、回路基板101からの電磁放射ノイズの発生を抑制できる。この場合には、第2の絶縁層4として有機系絶縁樹脂を用いることが望ましい。

【0121】次に、本実施例の1つである図6(a)に示した回路基板600の製造方法を図19を参照しながら説明する。

【0122】図19(a)工程:ベース基板の準備
1000℃以上の融点を有する導電性部材を適正な大きさに切断し、ベース基板1とする。必要に応じてベース基板1の表面研磨を行って平滑にする。次いで、ベース基板1の脱脂処理、中性洗剤やアルカリ洗剤による洗浄を行い、表面を清浄にする。

【0123】図19(b)工程:薄膜保護層の成膜
スパッタ法等の物理的手法、化学蒸着法、ゾルゲル法、めっき法、等の周知の手法を用いて薄膜保護層8をベース基板1の2つの主表面(表面10と裏面20)上に成膜する。薄膜保護層8としては、耐環境性に優れたセラミック材料や貴金属、耐酸化性にすぐれた導電性酸化物の中から選択する。なお、プロセス条件や回路基板600の信頼性等を考慮して、必要がなければ省略しても差し支えない。

【0124】図19(c)工程:ベース基板の第1の主表面側への導電性ビアの形成

フォトリソ法やレーザ加工法等の周知の方法を用いて、ベース基板1の第1の主表面(例えば、表面10)に導電性ビアとなる領域を残してその周囲に所定深さの溝(スルーホール91)を形成する。このスルーホール91内に残されたベース基板の一部は、後の工程で導電性ビア31となるものである。すなわち、このスルーホール91の形成は、貫通スルーホールとはせずにベース基板1の途中で止め、導電性ビア31を囲む様に溝を形成する。

【0125】図19(d)工程:第1の絶縁層の充填
ベース基板1の表面に設けられたスルーホール91に有機系絶縁樹脂をディップ法により充填し、硬化することにより第1の絶縁層21を形成する。必要に応じて、研磨やバックエッチングを行い、表面の平坦化を行う。ここでは、ディップ法を用いているが、印刷法やスプレー塗布、転写法等別の手法を用いても差し支えない。

【0126】図19(e)工程:第2の主表面側の導電性ビアおよび第1の絶縁層の形成

上記図19(c)工程と図19(d)工程とを繰り返すことにより、ベース基板1の第2の主表面(裏面)20側にも導電性ビア32と第1の絶縁層22を形成し、ベース基板1より第1の絶縁層2(第1の絶縁層21、22から構成される)により電気的に分離された導電性ビア3(導電性ビア31、32からなるが、同一材料で構成される)を形成する。

【0127】図19(f)工程:接続端子の形成

選択した接続手法に適合した材料をスパッタ法や真空蒸着法、めっき法等の周知の成膜手法により接続端子層を成膜する。次いで、接続端子形成領域以外の不要部分の接続端子層をフォトリソ等の周知の手法により除去し、接続端子6、7を形成する。接続端子に用いる材料は接続手法によって選択することになるが、はんだ接続を前提にする場合には、Au/Ni/Cr積層膜やNi-Cu/Cr積層膜等を用いることが好ましい。ここで、A/BはBの上にAが積層されることを示している。

【0128】以上で、図6(a)に示した回路基板600が完成する。ここで述べた製造方法では、第1の主表面10側の加工工程においては、第2の主表面20側の部分が支持部となり、第2の主表面20側の加工工程においては、既に加工し終えた第1の主表面10側の部分が支持部となって製造プロセスを支えている。この実施例における製造方法は以下の特長を有し、図13から図15に示した製造方法や図17から図18に示した製造方法に比べ、製造工程が短縮され、安定なプロセスとなる。

【0129】(1)導電性ビア3をベース基板1から分離するように形成するため、第1の絶縁層の中へのスルーホール形成および導電性ビア3の充填工程が不要となる。(2)第1の絶縁層21、22の充填深さも図13から図15に示した製造方法の場合に比べて浅く、実施例5の場合とほぼ同等になる。

【0130】以上述べてきたことから明確なように、本実施例の場合においても、セラミック系基板をベース基板1とした場合に見られた、回路基板600の寸法変化やボイド等による表面凹凸の問題を回避できる。

【0131】また、第1の絶縁層21、22に有機系絶縁樹脂を用いることにより、他の配線基板(図示せず)や半導体チップ(図示せず)との接続において、応力緩和を図れる等の効果も得られる。

【0132】また、ベース基板1として融点が1000℃以上の部材を用いているため、有機系樹脂基板を用いた場合に比べてプロセス条件に対する制限が少ない。

【0133】図6(b)に示した回路基板601は、図19に示した製造工程で作製した回路基板600上に、スピン塗布法や印刷、スパッタリング等の物理的手法、化学蒸着法、ゾルゲル法等の周知の手法を用いて第2の絶縁層4を成膜し、この第2の絶縁層4の中にフォトリソ法等の手地の方法でスルーホールを形成し、このスルーホールの部分に周知の成膜手法とフォトリソ法を用いて接続端子6、7を形成することによって得られる。

【0134】また、図6(c)に示した回路基板602は図19に示した図19(a)から図19(e)までの製造工程を実行した後、スピン塗布法や印刷、スパッタリング等の物理的手法、化学蒸着法、ゾルゲル法等の周知の手法を用いて第2の絶縁層4を成膜し、この第2の絶縁層4の中にフォトリソ法等の手地の方法でスルーホールを形成し、こ

21

のスルーホールの部分に周知の成膜手法とフォトエッチング法を用いて接続端子6、7を形成することによって得られる。

【0135】図6(b)、図6(c)に示した回路基板601と回路基板602の場合にも、図6(a)の回路基板600の製造方法で得られた効果が得られることは明らかである。回路基板601と回路基板602では、第2の絶縁層4を設けることによって、ベース基板1や導電性ビア3を保護し、他の回路基板(図示せず)や半導体チップ(図示せず)との接続で接続端子6、7部が受ける応力を緩和し、回路基板601、602からの電磁放射ノイズの発生を抑制している。このためには、第2の絶縁層4を有機系絶縁樹脂により形成することが有効である。

【0136】なお、本実施例では第1の絶縁層21、22と第2の絶縁層4として有機系絶縁樹脂を用いているが、シリコン酸化物、シリコン窒化物、酸化アルミニウムや各種セラミック材料等の無機系絶縁材料を用いても差し支えない。

【0137】〈実施例7〉図7は、本発明の第7の実施例となる回路基板の要部断面図を示したものである。図において、700は本発明を適用した回路基板を、11は抵抗素子を、111と112は抵抗素子11の電極を示す。他の符号は図1および図6の場合と同じである。

【0138】この実施例は、回路基板に抵抗素子を内蔵させた場合の例である。すなわち、回路基板700は、実施例6の図6(b)で示した回路基板601の第1の主表面10上に抵抗素子11を形成し、その上に第3の絶縁層41を形成し、第3の絶縁層41に設けたスルーホールを介して接続端子61を形成したものである。

【0139】抵抗素子11を終端抵抗として用いるためには、第1の主表面10上に半導体チップ(図示せず)を搭載し、抵抗素子11の一方の電極111を信号端子に、他方の電極112を接地端子あるいは電源端子に接続する。かかる回路基板によれば、終端抵抗が半導体チップの近くに配置されるため、信号反射の抑制効果を大きくできる。

【0140】なお、本実施例では、実施例6の図6(b)で示した回路基板601と抵抗素子11を一体化して形成している。そのため、実施例6で得られた効果が得られることは明らかである。また、抵抗素子11と一体化する回路基板として回路基板601を用いているが、実施例1～6で示したいずれの回路基板を用いても差し支えない。

【0141】〈実施例8〉図8は、本発明の第8の実施例となる回路基板の要部断面図を示したものである。図(a)、図(b)、図(c)において、800と801、802は本発明を適用した回路基板を、12はキャパシタを、120はキャパシタ12を構成する誘電体層を、121と122はキャパシタ12を構成する電極を、42は第4の絶縁層を示す。他の符号は図1および図6の場合と同じである。回路基板802の第3の絶縁層42は回路基板を保護するために形成されている。

22

【0142】この実施例は、同軸構造の導電性ビアを有する回路基板にキャパシタ素子を内蔵させた場合の例である。すなわち、図(a)、図(b)、図(c)に示した回路基板800、801、802は、実施例6で示した回路基板の第1の主表面10上にキャパシタ12を形成し、その上に第3の絶縁層41あるいは第4の絶縁層42を形成し、これらの絶縁層41、42に設けたスルーホールを介して接続端子61あるいは接続端子6を設けたものである。

【0143】キャパシタ12を内蔵した回路基板は、回路基板800、801の場合には実施例6で示した回路基板600あるいは回路基板601であり、回路基板802の場合には回路基板602である。回路基板801では、2個以上の複数個のキャパシタ12を内蔵している。

【0144】キャパシタ12をデカップリングキャパシタとして用いるためには、キャパシタ12の電極121、122を接地端子と電源端子にそれぞれ接続する。かかる回路基板によれば、デカップリングキャパシタを半導体チップの近くに配置できるため、半導体チップ内で発生するスイッチングノイズを効率的に除去できる。

【0145】また、接地端子と電源端子に接続される導電性ビア3の透磁率を上げると、半導体チップ内で発生したノイズの他の半導体チップへの伝搬を抑制でき、また、搭載するキャパシタ12の容量を小さくできる。

【0146】なお、本実施例では、実施例6の回路基板600、601、602とキャパシタ12を一体化して形成しているため、実施例6で得られた効果が得られることは明白である。また、キャパシタ12と一体化する回路基板として実施例6で示した回路基板を用いているが、実施例1～6で示したいずれの回路基板を用いても差し支えない。

【0147】次に、本実施例における回路基板の製造方法について述べる。回路基板800、801の場合、実施例6で示した回路基板600、601の第1の主表面10上にキャパシタ12を逐次積層法により形成すればよい。例えば、実施例6で述べた製造方法により回路基板600を作製し、第2の絶縁層4、キャパシタ12の電極122、キャパシタ12の誘電体層120、キャパシタ12の電極121、第3の絶縁層41、接続端子61を形成すればよい。

【0148】この製造方法によれば、キャパシタ12と一体化する回路基板は実施例6で示した回路基板600、601に限定されず、実施例1～7で示されたどの回路基板を用いても差し支えない。しかし、この場合、第1の絶縁層21、22や第2の絶縁層4として有機系絶縁樹脂を用いると、誘電率の高いチタン酸ストロンチウム等のペロブスカイト化合物を誘電体層に用いることは困難である。なぜなら、ペロブスカイト化合物の結晶性を改善して誘電率を高くするためには、400℃以上の熱処理等の高温プロセスを必要とするからである。

【0149】これを解決するために発明者らが提案するものが、図8(c)に示した回路基板802である。この回路

基板802は、基本的に、キャパシタ12を実施例6で示した回路基板602と一体化したものである。以下、図20と図21の工程図を参照にしながら、回路基板802の製造方法について説明する。

【0150】図20(a)工程:ベース基板の準備

1000℃以上の融点を有する導電性部材を適正な大きさに切り出し、ベース基板1とする。必要に応じてベース基板1の表面研磨を行って平滑にする。次いで、ベース基板1の脱脂処理、中性洗剤やアルカリ洗剤による洗浄を行い、ベース基板1の表面を清浄にする。

【0151】図20(b)工程:薄膜保護層の成膜

スパッタ法等の物理的手法、化学蒸着法、ゾルゲル法、めっき法等の周知の手法を用いて薄膜保護層8をベース基板1の2つの主表面10、20上に成膜する。薄膜保護層8としては、耐環境性に優れたセラミック系無機材料や貴金属、耐酸化性にすぐれた導電性酸化物の中から選択する。

【0152】図20(c)工程:第2の絶縁層の形成

スパッタ法等の物理的手法、化学蒸着法、ゾルゲル法、印刷法、転写法等の周知の手法を用いて第2の絶縁層4を薄膜保護層8上に形成する。この場合、キャパシタ形成面(第1の主表面10)上の、導電性ビア3を形成する場合に対応する第2の絶縁層4の部分には開口部210を設ける。この開口部210は、第1の絶縁層2(すなわち21と22)を形成する領域の外縁より内側に、導電性ビア3を包含する大きさで形成する。これは、ベース基板1と導電性ビア3の絶縁性を確保する上で重要である。

【0153】この後で形成するペロブスカイト化合物の形成プロセスを考えると、第2の絶縁層4としては、シリカ系やアルミナ系、チタン系無機材料等の1000℃以上の耐熱性のある材料が好ましい。ただし、400℃以下のプロセスにより回路基板802を作製する場合には、ポリイミド等の有機系絶縁樹脂を用いても差し支えない。

【0154】図20(d)工程:キャパシタ電極の形成

キャパシタ12の一方の電極パターン122(下部電極)を第2の絶縁層4上に形成する。この場合、電極膜を第2の絶縁層4に設けた開口部210の中に存在させても差し支えないが、導電性ビア3のベース基板1の絶縁性確保を考えると、存在させない方が無難である。電極膜としては、白金等、ペロブスカイト誘電体を用いたキャパシタに用いられる、周知の材料を用いればよい。

【0155】図20(e)工程:誘電体層の形成

スパッタ法等の物理的手法、化学蒸着法、ゾルゲル法等の周知の方法を用いて、下部電極パターン122上に、チタン酸ストロンチウム等のペロブスカイト化合物からなる誘電体層120を成膜し、フォトエッチング法等、周知の手法を用いて誘電体層120のパターン化を行う。

【0156】この時、誘電体層パターン120が下部電極122のパターンエッジの少なくとも一部を被覆するように形成する。また、第2の絶縁層4に設けられた開口部21

0の中には、誘電体層120を存在させないことが重要である。次いで、600℃～900℃の熱処理を行い、誘電体層120の結晶性を改善する。

【0157】図20(f)工程:キャパシタ電極の形成

キャパシタ12のもう一方の電極パターン121(上部電極)を誘電体層120上に形成する。この場合、ベース基板1との絶縁確保を考え、電極パターン121(上部電極)を第2の絶縁層4の内側に配置する。電極層としては、白金等、ペロブスカイト化合物を誘電体に用いたキャパシタに用いられる周知の材料を用いればよい。

【0158】図20(g)工程:ベース基板の第1の主表面側へのスルーホール形成

レーザー加工やフォトエッチング法等の周知の手法により、ベース基板1の第1の主表面10側に実施例6の図19(c)と同様にしてスルーホール91を形成する。この場合、スルーホール91を貫通スルーホールとはせずに、ベース基板1の途中で止める。このスルーホール91は、導電性ビア3を構成する第1の主表面10側の部分31を取り囲むように溝として形成される。これにより、導電性ビア3の主表面側の部分31がベース基板1から分離される。導電性ビア3の主表面側の部分31の表面には、薄膜保護層8が形成されており、場合によっては、キャパシタ12の電極層121、122が積層されている。以下、図21の工程図を参照にして説明する。

【0159】図21(h)工程:ベース基板に設けたスルーホールへの第1の絶縁層の充填及び第1の主表面側への第3の絶縁層形成

ベース基板1の第1の主表面10に設けられたスルーホール91に有機系絶縁樹脂をディップ法により充填し、導電性ビア3を構成する第1の主表面側の部分31を取り囲むように第1の絶縁層21を形成する。この工程では、スルーホール91への有機系絶縁樹脂の充填を行うとともに、第1の主表面上に第3の絶縁層41を形成する。必要に応じて、研磨やバックエッチングを行い、表面の平坦化を行う。

【0160】ここでは、ディップ法を用いているが、これに限定されるのではなく、印刷法やスピン塗布法、スプレー塗布法、転写法等、別の手法を用いても差し支えない。また、第1の絶縁層21と第3の絶縁層41を同時に形成しているが、別々の工程で形成しても差し支えない。図21(i)工程:ベース基板の第2の主表面側への第1の絶縁層と導電性ビアの形成 上記図20(g)と図21(h)の工程を繰り返して適用し、導電性ビア3の第2の主表面20側の部分32と第1の絶縁層の第2の主表面20側部分22を第2の主表面20に形成する。これにより、導電性ビア3と第1の絶縁層2が形成される。

【0161】図21(j)工程:接続端子用スルーホールの形成

フォトエッチング法やレーザー加工、アブレーション法等、周知の手法により接続端子を形成する領域の第3の

絶縁層41にスルーホール82、92を形成する。

【0162】図21(k)工程:接続端子の形成

選択した接続手法に適合する材料をスパッタ法や真空蒸着法、めっき法等、周知の成膜手法により接続端子層を成膜する。次いで、接続端子層の不要な部分をフォトエッチング等の周知の手法により除去し、接続端子6、7を形成する。接続端子に用いる材料は接続手法によって選択することになるが、はんだ接続を前提にする場合には、Au/Ni/Cr積層膜やNi-Cu/Cr積層膜等を用いることが好ましい。ここで、A/BはBの上にAが積層されることを示している。

【0163】図21(l)工程:保護層形成

有機系絶縁樹脂をスピン塗布法やディップ法、スプレー法、印刷法、転写法等、周知の手法を用いて第4の絶縁層42を成膜し、保護層とする。次いで、フォトエッチング法やレーザ加工等、周知の手法により、端子接続部に端子接続用のスルーホール93を形成する。この工程では、有機系絶縁樹脂として、感光性を付与した材料を用い、塗布・露光・現像の工程で形成することにより、工程が削減できる。

【0164】以上で、図8(c)に示した構造の回路基板802が完成する。ここで述べた製造方法では、400℃より高い温度でのプロセスを要するキャパシタ12を形成した後に導電性ビア3を形成している。そのため、導電性ビア3とベース基板1を電気的に分離する第1の絶縁層21、22の材料として、耐熱性に劣る有機系の絶縁樹脂を用いることができる。これにより、回路基板802に半導体チップ(図示せず)や配線基板(図示せず)を接続した場合に、応力緩和を図ることができる。このように、本実施例によれば、500℃～1000℃の温度プロセスを必要とする回路素子を内蔵し、同軸構造の導電性ビアを有する回路基板を提供できる。

【0165】なお、図20、図21で示した回路基板802の製造方法ではキャパシタ12の誘電体層120としてペロブスカイト化合物を用いているが、これに限定されるものではない。また、キャパシタの電極もペロブスカイト化合物を誘電体層にした場合に適した材料に限定されるものではない。

【0166】〈実施例9〉図9は、本発明の第9の実施例となる回路基板の要部断面図を示したものである。図において、900は本発明を適用した回路基板を、13は薄膜多層配線部を示す。他の符号は図6の場合と同じである。この実施例は、実施例6の図6(a)に示した回路基板600に薄膜多層配線部を設けた場合の例である。従って、本実施例においても、実施例6である回路基板600と薄膜多層部13を一体化して形成しているため、実施例6で得られた効果が得られることは明白である。

【0167】なお、薄膜多層部13と一体化する回路基板として実施例6で示した回路基板600を用いているが、これに限定されるものではなく、実施例1～8で示した

いずれの回路基板を用いても差し支えない。

【0168】〈実施例10〉図10は、本発明の第10の実施例となる回路モジュールの要部断面図を示したものである。図10(a)、図10(b)において、1000と1001は本発明の回路基板(インターポーザ)を用いて半導体チップを配線基板に搭載した回路モジュール(半導体装置)を示している。図中の14は半導体チップを、15は配線基板(マザーボード、モジュール基板)を、16は半田をそれぞれ示す。他の符号は図8に示した回路基板の場合と同じである。すなわち、この実施例は実施例8で示したキャパシタ内蔵の回路基板801を用いて、半導体チップ14を配線基板15に実装した例である。

【0169】半導体装置1000は、実施例8の図8(b)に示したキャパシタを内蔵した回路基板801を用いて1個の半導体チップ14を実装した例であり、半導体装置1001は、キャパシタを有する回路基板801を用いて2個以上の複数個の半導体チップ14を実装した例である。キャパシタ12はデカップリングキャパシタとして用いるので、キャパシタ12の電極121、122は電源端子と接地端子に接続される。

【0170】かかる構成によれば、デカップリングキャパシタを半導体チップ14の直下に設置できるので、半導体チップ14内で発生するスイッチングノイズを効率良く抑制できる。また、本実施例は、実施例8の図8(b)に示した回路基板801を用いて半導体チップ14を配線基板15に実装していることから、実施例8で得られた本発明の効果をj得ることができる。

【0171】なお、この実施例では、実施例8で示した回路基板801を用いて、半導体チップ14を配線基板15に実装しているが、この回路基板801に限定されるものではなく、実施例1から実施例9で示したどの基板の適用も可能であり、目的に合わせて回路基板を適宜選択すれば良い。

【0172】〈実施例11〉図11は、本発明の第11の実施例となる回路モジュールの要部断面図を示したものである。図において、1100は本発明を適用した回路モジュール(半導体装置)を、2は誘電率の低い材料からなる第1の絶縁層を、23はペロブスカイト化合物等の誘電率の高い材料からなる第1の絶縁層を、33は誘電率の高い材料からなる第1の絶縁層23に囲まれた導電性ビアを示している。他の符号は図10の場合と同じである。

【0173】この実施例は、実施例6の図6(b)で示した回路基板602において、回路基板602内に存在する導電性ビア3の中の幾つかの導電性ビアの回りの第1の絶縁層を誘電率の高い材料に変えることにより、ベース基板1と導電性ビア3の間にキャパシタ12を形成したものである。従って、この実施例もキャパシタを内蔵した回路基板を用いて配線基板15に半導体チップ14を実装した例となる。

【0174】この実施例の場合、ベース基板1を設置端

子に、誘電率の高い材料からなる第1の絶縁層23で囲まれた導電性ビア33を電源端子に接続することにより、キャパシタ12をデカップリングキャパシタとして用いることが可能になる。すなわち、デカップリングキャパシタを半導体チップ14の直下に設置できるので、半導体チップ14内で発生するスイッチングノイズを効率良く抑制できる。

【0175】更に、本実施例の場合、図からわかるように構造が他の実施例に比べて単純になる。また、本実施例は、実施例6である回路基板602を基本としていることから、実施例6で得られた本発明の効果をj得ることができる。

【0176】〈実施例12〉図12は、本発明の第12の実施例となる回路基板の要部断面図を示したものである。図において、1200は本発明を適用した回路基板を示す。他の符号は図8の場合と同じである。この実施例は、実施例8の図8(b)で示した回路基板801同士を第2の主表面側に形成された接続端子を用いて接続したものである。

【0177】この実施例では、回路基板801がキャパシタ12を内蔵しており、キャパシタの容量が不足している場合等に有効である。なぜなら、回路基板1200では、キャパシタ12が2個並列接続されているからである。本実施例では、実施例8の回路基板801を基本としていることから、実施例8で得られた本発明の効果をj得ることができる。

【0178】なお、この実施例では、第2の主表面に設けた接続端子により2つの回路基板を接続した構造となっているが、第1の主表面に設けた接続端子と第2の主表面に設けた接続端子を接続しても差し支えない。また、この実施例では、回路基板801同士を接続しているが、この組み合わせに限定されるのではなく、実施例1〜9で示した回路基板のどの組み合わせでも差し支えない。

【0179】例えば、実施例8である回路基板801と実施例7の回路基板700を接続することにより、デカップリングキャパシタと終端抵抗を内蔵した回路基板を提供できる。かかる構成によれば、終端抵抗とデカップリングキャパシタを半導体チップの近くに配置できるので、スイッチングノイズと信号反射を効率良く抑制できる。

【0180】また、終端抵抗とデカップリングキャパシタを別基板で形成し、良品同士の組み合わせが可能になり、デカップリングキャパシタと終端抵抗を内蔵した回路基板を歩留りの向上が達成される。

【0181】

【発明の効果】以上詳述したように、本発明により所期の目的を達成することができた。すなわち、本発明のインターポーザは、導電性ビアが同軸構造を有しているため、信号配線とした場合の反射防止やインピーダンスの整合を図ることができ信頼性の高いインターポーザ及びそれをを用いた回路モジュールを実現することができる。

【0182】また、セラミック系ベース基板を用いた場

合の焼結時の熱収縮や表面粗さによる問題、有機絶樹脂基板を用いた場合の耐熱性の問題をも解決でき、同軸構造の導電性ビアを有する、半導体チップを配線基板に実装する際のインターポーザとして好適な回路基板が提供できる。

【0183】かかる構成の回路基板によれば、回路基板の製造プロセスが簡易化され、製造工程の短縮、製造歩留りの向上、製造コストの低減に大いに貢献できる。また、1000℃までの製造プロセスが可能になるため、例えば600℃以上の熱処理工程を要するペロブスカイト化合物を誘電体層としたキャパシタをインターポーザに容易に内蔵させることができる。これにより、半導体チップの直下に容量の大きなデカップリングキャパシタを配置できるので、実装密度を低下させることなくスイッチングノイズを低減できる半導体装置を提供できる。

【図面の簡単な説明】

【図1】本発明の第1の実施例となる回路基板の要部断面図である。

【図2】本発明の第2の実施例となる回路基板の要部断面図である。

【図3】本発明の第3の実施例となる回路基板の要部断面図である。

【図4】本発明の第4の実施例となる回路基板の要部断面図である。

【図5】本発明の第5の実施例となる回路基板の要部断面図である。

【図6】本発明の第6の実施例となる回路基板の要部断面図である。

【図7】本発明の第7の実施例となる回路基板の要部断面図である。

【図8】本発明の第8の実施例となる回路基板の要部断面図である。

【図9】本発明の第9の実施例となる回路基板の要部断面図である。

【図10】本発明の第10の実施例となる回路基板の要部断面図である。

【図11】本発明の第11の実施例となる回路基板の要部断面図である。

【図12】本発明の第12の実施例となる回路基板の要部断面図である。

【図13】図1に示した実施例の回路基板100の製造工程を示した要部断面図である。

【図14】図1に示した実施例の回路基板101の製造工程を示した要部断面図である。

【図15】図3に示した実施例の回路基板300の製造工程を示した要部断面図である。

【図16】第1の実施例と第2の実施例とを組み合わせた回路基板の一例を示す要部断面図である。

【図17】図5の第5の実施例で示した回路基板500の製造工程の一例を示す要部断面図である。

29

【図18】図17に続き、図5の第5の実施例で示した回路基板500の製造工程の一例を示す要部断面図である。

【図19】図6の第6の実施例で示した回路基板600の製造工程の一例を示す要部断面図である。

【図20】図8の第8の実施例で示した回路基板802の製造工程の一例を示す要部断面図である。

【図21】図20に続き、図8の第8の実施例で示した回路基板802の製造工程の一例を示す要部断面図である。

【符号の説明】

- 1…ベース基板、
2, 21, 22, 23…第1の絶縁層、
3, 31, 32, 33…導電性ビア、
4…第2の絶縁層、
41…第3の絶縁層、
42…第4の絶縁層、
5…第1の導電性薄膜層、
51…第2の導電性薄膜層、
52…第3の導電性薄膜層、

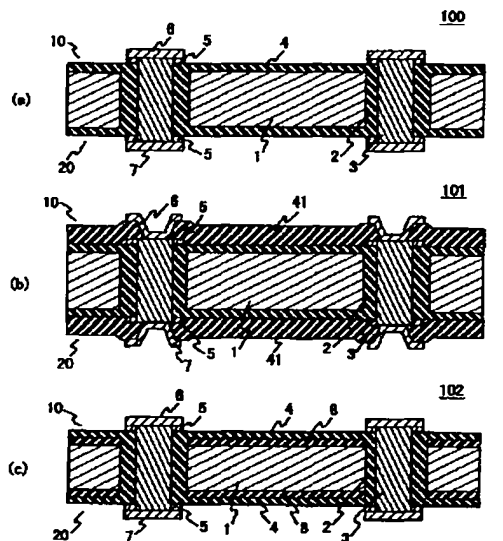
30

- 6, 61, 7, 71…接続端子、
60, 70…接続端子層、
81, 82, 83…スルーホール、
10…回路基板（ベース基板）の第1の主表面（表面）、
20…回路基板（ベース基板）の第2の主表面（裏面）、
11…抵抗素子、
111, 112…抵抗素子11の電極、
10 12…キャパシタ、
121, 122…キャパシタ12の電極、
13…薄膜多層配線部、
14…半導体チップ、
15…配線基板（マザーボード、モジュール基板）、
16…はんだ、
210…第2の絶縁層4に設けた開口部、
100, 101, 160, 200, 201, 300, 301, 400, 401, 500, 501, 600, 601, 602, 1200…回路基板（インターポーザ）、
1000, 1001, 1100…回路モジュール（半導体装置）。

20

【図1】

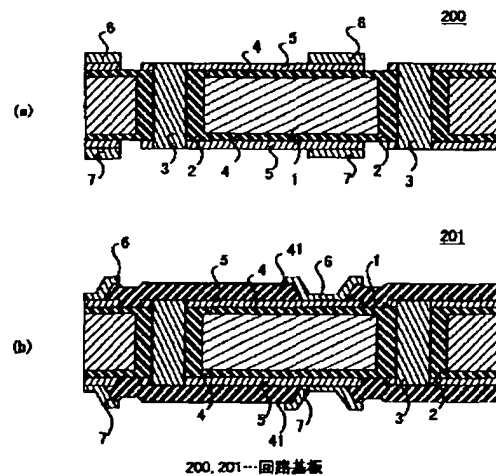
図 1



- 1…ベース基板 2…第1の絶縁層 3…導電性ビア 4…第2の絶縁層
5…導電性薄膜層 6, 7…接続端子 8…薄膜保護層
10…回路基板の第1の主表面 20…回路基板の第2の主表面
41…第3の絶縁層

【図2】

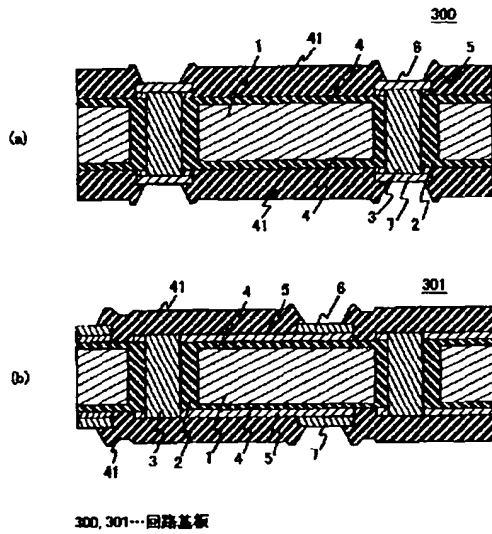
図 2



200, 201…回路基板

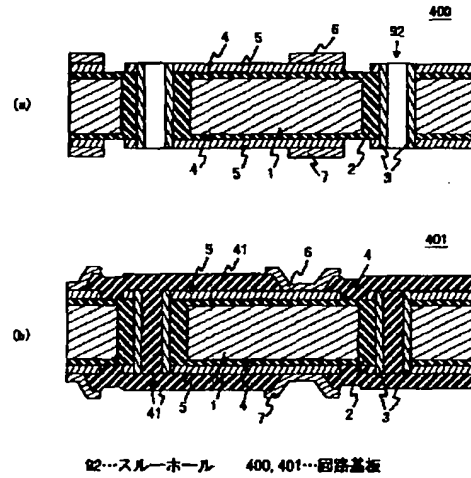
【図3】

図 3



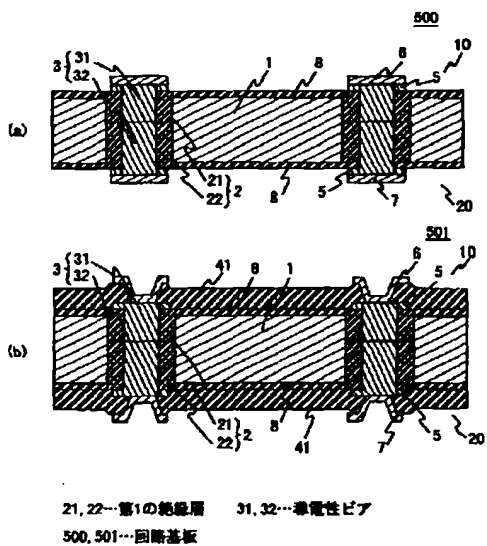
【図4】

図 4



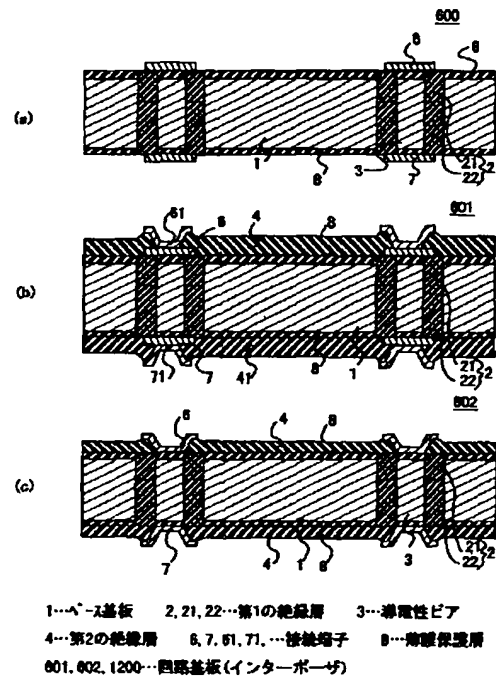
【図5】

図 5



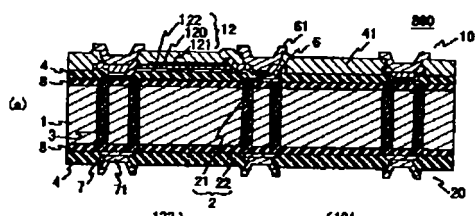
【図6】

図 6



【図8】

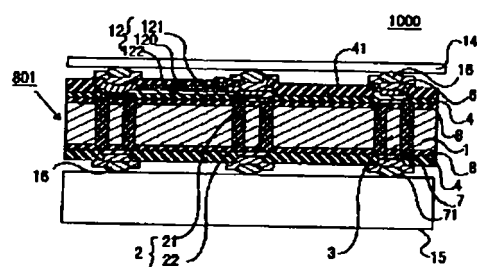
1 8



【図10】

【图 11】

(a)

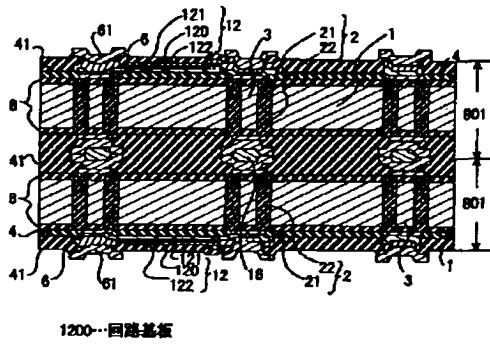


(b)

This diagram shows a cross-sectional view of a semiconductor device. It features a substrate 15 with a first layer of conductive material 16. A second layer of conductive material 14 is formed on top of the first layer. The second layer is divided into a series of rectangular blocks 121, 120, and 122, which are separated by narrow gaps 123. The blocks 121, 120, and 122 are connected to a common electrical contact 1001. The gaps 123 are filled with a material 124. The entire structure is covered by a protective layer 18. The substrate 15 is labeled with 15, the first layer with 16, the second layer with 14, the blocks with 121, 120, and 122, the gaps with 123, the contact with 1001, and the protective layer with 18.

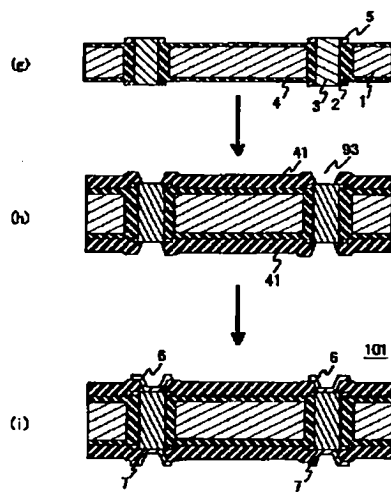
【図12】

図 12



【図14】

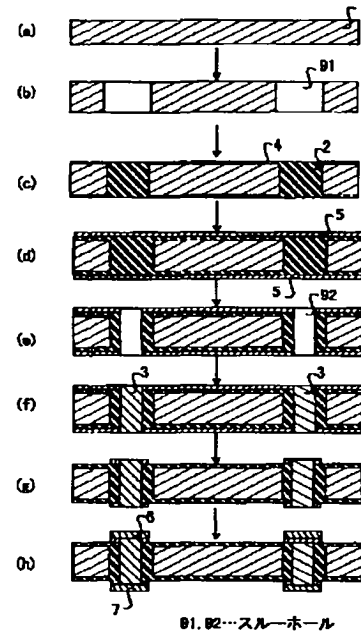
図 14



93...スルーホール

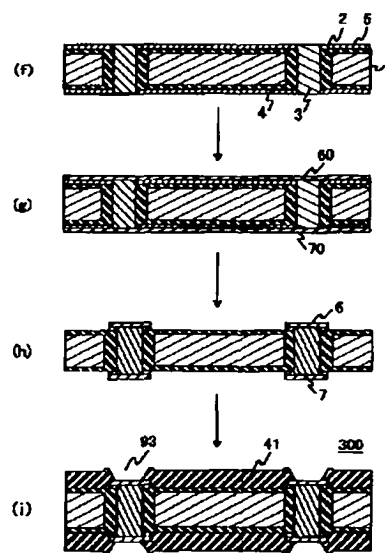
【図13】

図 13



【図15】

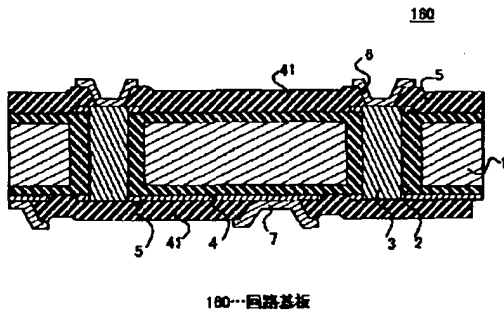
図 15



80, 70...接続端子層

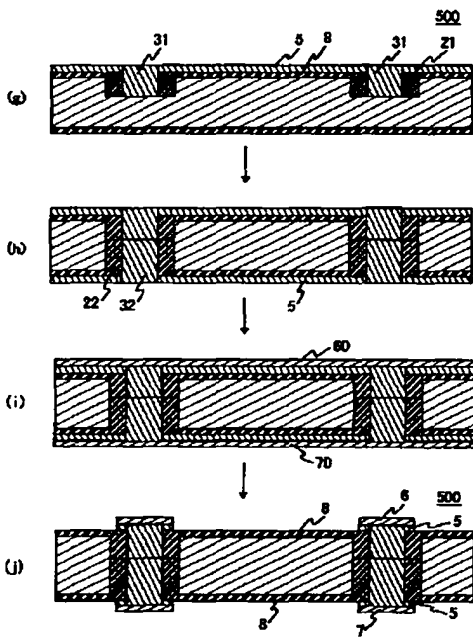
【図16】

図 16



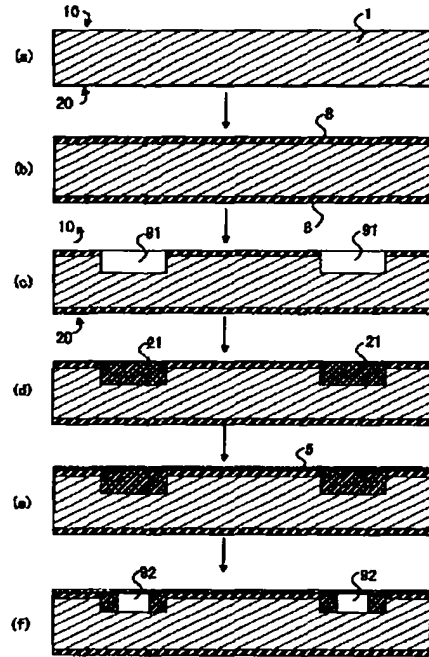
【図18】

図 18



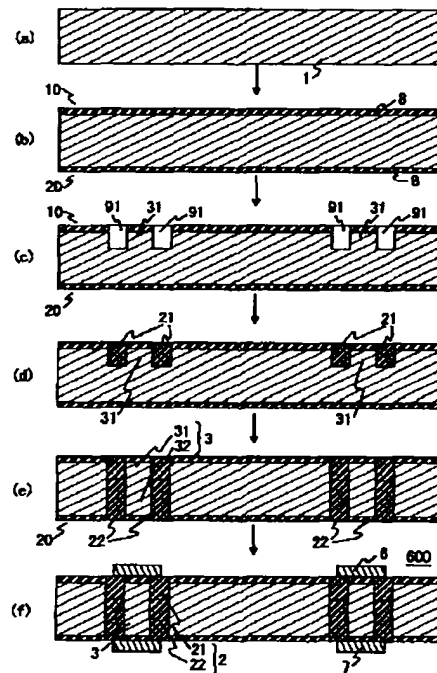
【図17】

図 17



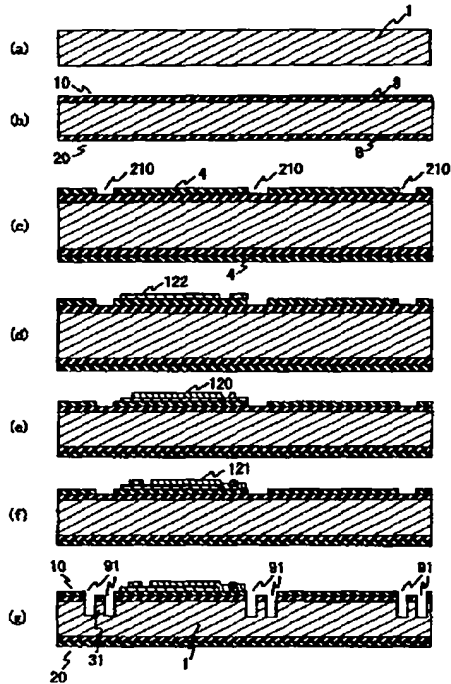
【図19】

図 19



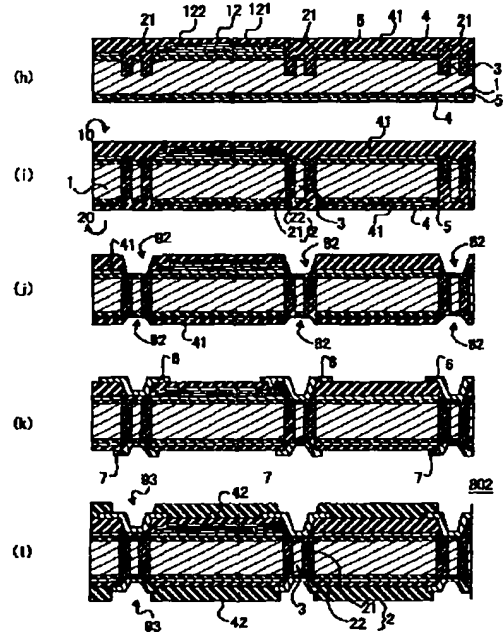
【図20】

図 20



【図21】

図 21



フロントページの続き

(72)発明者 志儀 英孝

神奈川県横浜市戸塚区吉田町292番地 株
式会社日立製作所生産技術研究所内

(72)発明者 松嶋 直樹

神奈川県横浜市戸塚区吉田町292番地 株
式会社日立製作所生産技術研究所内

(72)発明者 阿部 洋一

神奈川県横浜市戸塚区吉田町292番地 株
式会社日立製作所生産技術研究所内

Fターム(参考) 5E315 AA05 BB01 BB02 BB03 BB10
BB11 BB14 CC18 CC21 DD13
DD20 DD25 DD29 GG05 GG07
GG14

5E336 AA04 BB01 BB02 BB03 BB19
BC12 BC15 BC16 BC31 CC31
CC55 GG03 GG12